

CLIPPEDIMAGE= JP410326892A  
PAT-NO: JP410326892A  
DOCUMENT-IDENTIFIER: JP 10326892 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: December 8, 1998

INVENTOR-INFORMATION:  
NAME  
TAKEUCHI, KIYOSHI

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP

	COUNTRY
	N/A

APPL-NO: JP09133634  
APPL-DATE: May 23, 1997

INT-CL\_(IPC): H01L029/78; H01L021/336 ; H01L021/28 ; H01L021/768

ABSTRACT:

PROBLEM TO BE SOLVED: To lessen an alignment margin between contact holes and element isolation regions and to enhance the degree of integration of a circuit by a method wherein gate electrodes consisting of the same material and a dummy gate are arranged on the element isolation insulating films, and an insulating film consisting of a material different from that for an interlayer insulating film is formed on the side surfaces of those gate electrodes and the dummy gate.

SOLUTION: A semiconductor device is provided with normal gate electrodes 4A, wiring layers 4B formed using a gate layer, and a dummy gate 4C which does not function either as the electrodes 4A or the wiring layers 4B. That is, the gate 4C is provided in such a way as to cover each one part of element isolation insulating films 2, which are respectively provided on the outside of each end part of diffused layers 5 of the region, where the gate wiring layers 4B covering the outside of each end part of these diffused layers 5 at the places

of contact holes 7 and each end part of the layers 5 do not exist. Moreover, an insulating film 6, consisting of a silicon nitride film of a material different from that for an interlayer insulating film 8, is formed on the side surfaces of the electrodes 4A and the gate 4C. As a result, an alignment margin between the holes 7 and the element isolation regions 2 can be reduced, and the degree of integration of a circuit can be enhanced.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326892

(43) 公開日 平成10年(1998)12月8日

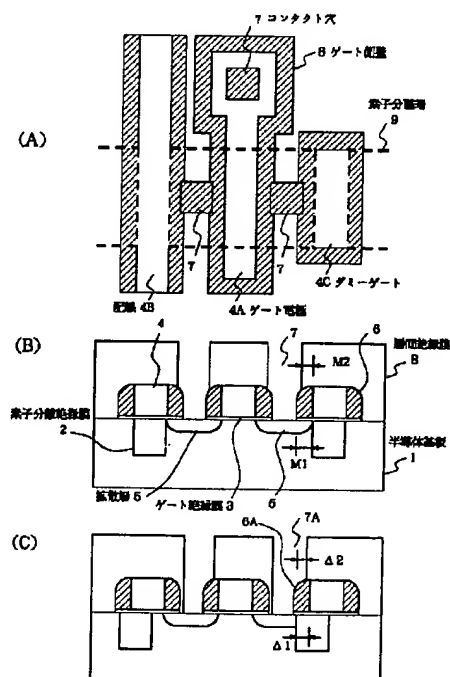
(51) Int.Cl. <sup>6</sup> H 0 1 L 29/78 21/336 21/28 21/768	識別記号	F I H 0 1 L 29/78 21/28 21/90	3 0 1 P L C
審査請求 有 請求項の数 6 O L (全 7 頁)			
(21) 出願番号	特願平9-133634		
(22) 出願日	平成9年(1997)5月23日		
(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号		
(72) 発明者	竹内 潔 東京都港区芝五丁目7番1号 日本電気株式 会社社内		
(74) 代理人	弁理士 若林 忠		

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 回路の集積度を向上し、拡散層面積を低減することのできる半導体装置およびその製造方法を実現すること。

【解決手段】 素子分離絶縁膜と、ゲート電極と、拡散層と、これらを覆う層間絶縁膜と、前記層間絶縁膜に開口されて前記拡散層に達するコンタクト穴と、を有する半導体装置において、前記素子分離絶縁膜上に配置され、ゲート電極と同じ材料により形成されたダミーゲートを有するとともに、前記ゲート電極と前記ダミーゲートの側面には前記層間絶縁膜とは異なる材質の絶縁膜が形成されている。



## 【特許請求の範囲】

【請求項1】 素子分離絶縁膜と、ゲート電極と、拡散層と、これらを覆う層間絶縁膜と、前記層間絶縁膜に開口されて前記拡散層に達するコンタクト穴と、を有する半導体装置において、

前記素子分離絶縁膜上に配置され、ゲート電極と同じ材料により形成されたダミーゲートを有するとともに、前記ゲート電極と前記ダミーゲートの側面には前記層間絶縁膜とは異なる材質の絶縁膜が形成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、ダミーゲートが、コンタクト穴と拡散層の端部とが近接する個所であり、拡散層の外側に覆う配線層が存在しない領域に、拡散層の外側に設けられた素子分離絶縁膜の少なくとも一部を覆い、その側面に形成される絶縁膜が前記拡散層の端部と重なりを持つ位置に設けられることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、ダミーゲートが、その端部が素子分離膜の端部と一致するように形成されることを特徴とする半導体装置。

【請求項4】 請求項1乃至請求項3のいずれかに記載の半導体装置において、

ゲート電極とダミーゲートの側面に形成される絶縁膜がシリコン窒化膜であり、前記層間絶縁膜がシリコン酸化膜であることを特徴とする半導体装置。

【請求項5】 素子分離絶縁膜と、ゲート電極と、拡散層と、これらを覆う層間絶縁膜と、前記層間絶縁膜に開口されて前記拡散層に達するコンタクト穴と、を有する半導体装置の製造方法において、

前記素子分離絶縁膜上に配置され、ゲート電極と同じ材料により形成されたダミーゲートをゲート電極と同時に形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、

絶縁膜を第1の材質にて堆積する工程と、  
前記絶縁膜を異方的にエッチバックする工程と、  
層間絶縁膜を第2の材質にて堆積する工程と、  
第1の材質のエッチング速度が第2の材質のエッチング速度より遅いエッチング条件によりコンタクト穴を開く工程と、を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関する。

## 【0002】

【従来の技術】集積回路の素子寸法は、リソグラフィの最小解像寸法を縮小することによって微細化されてきたが、リソグラフィの位置合わせ精度の向上が最小解像寸

法の縮小に追いつかないという傾向がある。このため、位置合わせのための距離的余裕（位置合わせ余裕）を解像寸法に対して相対的に大きく確保する必要が生じ、素子寸法を解像寸法に比例して縮小できないという一般的な問題点がある。例えば、MIS (Metal Insulator Semiconductor) 型FET (Field Effect Transistor) はそのゲート長の微細化によりソース・ドレイン領域の面積を縮小し、高性能化を達成してきたが、コンタクト穴と拡散層の端部、あるいは、コンタクト穴とゲートとの距離を、発生が見込まれる位置合わせずれの分だけ離す必要があり、ソース・ドレイン領域の面積がゲート長に比例するほどには縮小されない。このため、集積度の向上が制限される、ソース・ドレインの寄生容量が削減されない、といった問題がある。

【0003】上記の問題に対処するため、自己整合コンタクト形成技術、すなわち、位置ずれが生じてコンタクト穴が所望の拡散層以外の導体部分（基板やゲート）と接触することを防止できる手法が、従来より提案されている。

【0004】図3および図4のそれぞれは上述したような自己整合コンタクト形成技術を説明するための図であり、該技術について図3および図4を参照して以下に説明する。

【0005】自己整合コンタクトにおいてはゲートの上面と側面を保護する絶縁膜（図4におけるゲート側壁106（シリコン窒化膜）と保護絶縁膜110（シリコン窒化膜）または図3におけるゲート側壁106'（シリコン酸化膜）と保護絶縁膜110'（シリコン酸化膜）、あるいは、素子分離絶縁膜111が、コンタクト穴107を開く際にエッチングされても最終的に残留し、コンタクト穴107を埋める配線が所望とする拡散層105以外と接触することを防止することにより実現される。

【0006】図3は、上述した絶縁膜を残留させるための第1の従来例として、例えば特開昭60-194570号公報の372頁および第1図に開示されている段差を利用する方法を説明するための図である。図3に示す方法では、ゲート電極層104のみならず、素子分離絶縁膜111も半導体基板101上方に突出するように形成し、その上に段差を平坦化しないように比較的薄い層間絶縁膜108'を設ける。

【0007】図3(A)は層間絶縁膜108'を堆積した直後を示す。この状態から、レジスト等をマスクとして、層間絶縁膜108'の厚さ分だけ、コンタクト穴107を開くためのエッチングを行った後の状態が図3(B)である。コンタクト穴107はゲート電極104や素子分離絶縁膜108'の厚さ分だけのエッチングにより拡散層105部分は露出する。しかし、この時点で、コンタクト穴107と重なる部分における保護絶縁膜110'、ゲート側壁106'および素子分離絶縁膜

111は未だ侵食されないため、コンタクト穴107は所望の拡散層105の上においてのみ開口される。

【0008】次に、絶縁膜を残留させる第2の従来例による方法について図4を参照して説明する。

【0009】第2の従来例による方法は、ゲート側壁106と保護絶縁膜110、および素子分離絶縁膜111を層間絶縁膜108（通常シリコン酸化膜）と異なる材料、例えば、シリコン窒化膜で作製し、前者のエッチング速度が後者より早い条件でコンタクト穴107の開口を行うもので、エッチングの選択性を利用する方法である。残留させたい絶縁膜はエッチングされるが、エッチング速度が遅いために除去されず、最終的に残留する。この場合、図に示すように平坦で厚い層間膜108を設けることができる。

【0010】

【発明が解決しようとする課題】上述した従来の自己整合コンタクト法を用いることにより、位置合わせ余裕を小さくすることが可能となるが、そのためにプロセスが増加してしまう。ゲートに対する位置合わせ余裕を減らすためにはゲートの上部を保護絶縁膜で覆う必要があるため、ゲート電極とのコンタクトの形成に余分なリソグラフィ工程を必要とし、作製工程が増加するという問題点がある。

【0011】さらに、n型FETでn+型ゲート、p型FETでp+型ゲートを用いるデュアルゲート方式においては、ポリシリコンゲートのドーピングをソース・ドレイン間のドーピングと同時にイオン注入で実現することが工程数削減のためには望ましい。しかしながら、上述した保護膜が形成されている場合にはイオン注入粒子のゲート電極進入が妨げられるため、ポリシリコンゲートのドーピングをソース・ドレイン間のドーピングと同時にイオン注入で実現することが困難になるという問題点がある。

【0012】素子分離に対する位置合わせ余裕を削減するには、素子分離絶縁膜を上方に突出させるか、素子分離絶縁膜を通常と異なる材料（シリコン窒化膜など）で形成する必要がある。しかしながら、このような形成には従来行われているLOCOS法、あるいは酸化膜を埋め込むトレンチ分離法を使用することができず、新しい素子分離法を開発する必要がある。また、段差の存在は後のゲート電極作成工程に置けるリソグラフィを困難にするという問題点がある。

【0013】上記のような問題点はMIS型FETに限らず、同様の手法にて構成される半導体装置に発生する。

【0014】本発明は上述したような従来の技術が有する様々な問題点に鑑みてなされたものであって、従来から用いられているプロセスにより、短絡防止のために必要とされるコンタクトと素子分離との間の位置合わせ余裕を少なくすることができ、結果として回路の集積度を

向上し、拡散層面積を低減することのできる半導体装置およびその製造方法を実現することを目的とする。

【0015】

【課題を解決するための手段】上記課題を解決するため、本発明による半導体装置は、素子分離絶縁膜と、ゲート電極と、拡散層と、これらを覆う層間絶縁膜と、前記層間絶縁膜に開口されて前記拡散層に達するコンタクト穴と、を有する半導体装置において、前記素子分離絶縁膜上に配置され、ゲート電極と同じ材料により形成されたダミーゲートを有するとともに、前記ゲート電極と前記ダミーゲートの側面には前記層間絶縁膜とは異なる材質の絶縁膜が形成されていることを特徴とする。

【0016】この場合、ダミーゲートが、コンタクト穴と拡散層の端部とが近接する箇所であり、拡散層の外側を覆う配線層が存在しない領域に、拡散層の外側に設けられた素子分離絶縁膜の少なくとも一部を覆い、その側面に形成される絶縁膜が前記拡散層の端部と重なりを持つ位置に設けられることとしてもよい。

【0017】また、ダミーゲートが、その端部が素子分離膜の端部と一致するように形成されることとしてもよい。

【0018】上記のいずれの場合においても、ゲート電極とダミーゲートの側面に形成される絶縁膜がシリコン窒化膜であり、前記層間絶縁膜がシリコン酸化膜であるとしてもよい。

【0019】本発明の半導体装置の製造方法は、素子分離絶縁膜と、ゲート電極と、拡散層と、これらを覆う層間絶縁膜と、前記層間絶縁膜に開口されて前記拡散層に達するコンタクト穴と、を有する半導体装置の製造方法において、前記素子分離絶縁膜上に配置され、ゲート電極と同じ材料により形成されたダミーゲートをゲート電極と同時に形成する工程を有することを特徴とする。

【0020】この場合、絶縁膜を第1の材質にて堆積する工程と、前記絶縁膜を異方的にエッチバックする工程と、層間絶縁膜を第2の材質にて堆積する工程と、第1の材質のエッチング速度が第2の材質のエッチング速度より遅いエッチング条件によりコンタクト穴を開口する工程と、を有することとしてもよい。

【0021】上記のように構成される本発明の半導体装置においては、ダミーゲートの側面に形成された絶縁膜により素子分離絶縁膜がエッチング除去されることはなく短絡が発生しないものとなっている。

【0022】また、上述の位置に形成することにより、必要となる位置合わせ余裕も小さなものとなる。これは、半導体装置の製造においては、まず、素子分離絶縁膜を形成し、次に、素子分離絶縁膜に合わせてゲート絶縁膜、ゲート電極を形成し、続いて、ゲート電極に位置合わせしてコンタクト穴を形成する。よって、素子分離絶縁膜とコンタクト穴との間の位置合わせずれ量Δは、素子分離絶縁膜2とゲート電極4との間の位置合わせず

れ量 $\Delta 1$ と、ゲート電極4とコンタクト穴7との間の位置合わせずれ量 $\Delta 2$ を用いて、

$$\Delta = |\Delta 1 + \Delta 2|$$

と表される。

【0023】ゲート電極の側面に形成された絶縁膜（側壁）の幅をM1、ゲート電極とコンタクト穴との位置合わせ余裕をM2とすると、

$$|\Delta 1| < M1, \text{ かつ } |\Delta 2| < M2$$

のときに短絡が発生しないこととなる。

【0024】本発明においては、素子分離絶縁膜がエッチング除去されることがないことから、工程1回分の位置ずれをそれぞれ独立に所定値M1とM2以下に抑えるだけで良く、2回分の位置ずれの和を位置合わせ余裕M以下に抑える必要がある従来の方法に比較して位置合わせずれによる不良が発生しにくいものとなっている。

【0025】

【発明の実施の形態】次に、本発明の実施例について図面参照をして説明する。

【0026】図1は本発明により作製されたMIS型FETの一実施例の構成を示す図であり、コンタクト穴7を開口した直後の構造を示す図である。図2は比較例としての従来からの構造を示す図であり、図1および図2のいずれにおいても（A）は位置合わせずれがない場合の上面図、（B）は位置合わせずれがない場合の断面図、（C）は位置合わせずれがある場合の断面図である。ここで、ゲート電極4Aと拡散層5によってMIS型FETが構成されている。

【0027】図1に示す本実施例においては、通常のゲート電極4A、ゲート層を用いた配線4B以外に、そのいずれとしても機能しないダミーゲート4Cが設けられている。ダミーゲート4Cは電気的に孤立していても、なんらかの電位を与えられていても構わないがダミーゲート4Cに電位を与えるためには、ダミーゲート4Cを電位供給用の配線に接続する必要がある、配線やコンタクト穴を配置するための余分な面積が必要となる。従ってダミーゲート4Cは電気的に孤立するものとしたほうが実現が容易であって、望ましい。

【0028】ダミーゲート4Cは、コンタクト穴7と拡散層5の端部とが近接して位置ずれによる接触の危険がある箇所であり、拡散層5の端部の外側を覆うゲート配線層4Bが存在しない領域に、この拡散層5の端部の外側に設けられた素子分離絶縁膜2の少なくとも一部を覆うように設けられる。このときダミーゲート4Cのゲート側壁6が拡散層5の端部と重なりを持つように位置を決定する。本発明の効果が最大となる最も望ましい配置は、図1に示すようにダミーゲート4Cの端部と素子分離端9とを一致させるものである。さらにゲートの側壁6の材料としてシリコン窒化膜を、層間膜8の材料としてシリコン酸化膜を用いる。このように材料を選択することにより、コンタクト穴7を開口する際のエッチング

時に、ゲート側壁6が除去されることを防ぐことができる。

【0029】なお、ゲート配線層4Bが存在する場合には、拡散層5の端部とゲート配線層4Bとの位置関係が上述したダミーゲート4Cを配置するときと同様になるようにゲート配線4Bの幅と位置を調節する。これによりゲート配線層4Bも、以下に述べるダミーゲート4Cの機能と同様の効果を発揮する。

【0030】上記のように構成される本実施例のものにおいては位置合わせずれによる不良が発生しにくいものとなっている。このことについて図1（B）、（C）と図2（B）、（C）を参照して説明する。なお、以下の説明におけるゲート電極4は、上述したゲート電極4A、配線4Bおよびダミーゲート4Cを含むものである。

【0031】通常、MIS型FETの製造においては、まず、素子分離絶縁膜2を形成し、次に、素子分離絶縁膜2のパターンに位置合わせしてゲート電極4を形成し、続いて、ゲート電極4に位置合わせしてコンタクト穴7を形成する。よって、素子分離絶縁膜2とコンタクト穴7との間の位置合わせずれ量 $\Delta$ は、素子分離絶縁膜2とゲート電極4との間の位置合わせずれ量 $\Delta 1$ と、ゲート電極4とコンタクト穴7との間の位置合わせずれ量 $\Delta 2$ を用いて、
$$\Delta = |\Delta 1 + \Delta 2|$$
と表される。

【0032】図2に示す比較例の場合、素子分離端9とコンタクト穴7との位置合わせ余裕をMとして、短絡が生じない条件は、

$$\Delta = |\Delta 1 + \Delta 2| < M$$

である。一方、図1に示した本実施例においては、ゲートの側壁6の幅をM1、ゲート電極4とコンタクト穴7との位置合わせ余裕をM2として、

$$|\Delta 1| < M1, \text{ かつ } |\Delta 2| < M2$$

である。0.25 $\mu$ m以下の寸法を用いる微細MIS型FETにおいて典型的には、M、M1、M2は同等の大きさであり、0.05ないし0.2 $\mu$ mである。従来の方法では2回分の位置ずれの和を位置合わせ余裕M以下に抑える必要があるのに対し、本実施例によれば1回分の位置ずれをそれぞれ独立に所定値M1とM2以下に抑えるだけで良いため、本実施例のほうが位置合わせずれによる不良が発生しにくい。このことについて図1

（C）と図2（C）を参照してさらに詳細に説明する。

【0033】図1（C）と図2（C）は、本発明による実施例と比較例において位置ずれが生じた場合の状況例を示している。両者は同様の位置ずれ発生がしたことを仮定して作図している。ゲートの位置を基準に考えると、素子分離絶縁膜2は左へ、コンタクト7は右へと、両者が互いに近づきあう方向に位置ずれを起こし、そのために素子分離絶縁膜2とコンタクト穴7の位置が互い

に重なりあう状況となっている。上記2つの位置ずれの向きが同じになるか逆になるかは確率的であるが、図1(C)と図2(C)に示した状況は拡散層5と半導体基板1との短絡が想定される最悪の場合である。このとき、図2(C)に示す比較例においては、コンタクト穴7Aが素子分離絶縁膜2と接触し、コンタクト穴を形成するエッチング時に短絡不良箇所20が形成されてコンタクト穴7Aが半導体基板1と短絡している。

【0034】一方、図1(C)に示す本実施例のものでは、位置ずれによりコンタクト穴7Aと素子分離絶縁膜2とが重なりあうが、ゲート側壁6Aによってコンタクト穴を形成するためのエッチングが阻止されるため、素子分離絶縁膜2がエッチングされることはない。このように、比較例では短絡による不良が発生する状況であっても、本実施例の場合には不良が発生することはない。なお、図2ではゲート側壁6Aとしてエッチング選択性のない酸化膜を用いた場合を示しているが、これをコンタクトエッチングに対して選択性のある材料(シリコン窒化膜など)に変えても結果は同様である。

【0035】また、ゲート電極4とコンタクト穴7を共に素子分離絶縁膜2に対して位置合わせすることによっても、素子分離絶縁膜2とコンタクト穴7の接触を起こりにくくすることが可能である。しかし、この場合はゲート電極4とコンタクト穴7との間の位置ずれが大きくなるという問題が新たに生じる。本発明においては、通常の場合と同様にコンタクト穴7をゲート電極4に対して位置合わせすれば良く、ゲート電極4とコンタクト穴7との接触可能性が従来に比べて増すということはない。

【0036】次に、本発明による半導体装置の製造方法を説明する。ゲート電極4の形成直前までは通常のMIS型FETの製造と同様である。次に、通常のゲート電極4Aと配線4Bに加えて、ダミーゲート4Cを含むパターンとなるようにゲート電極層の加工を行う。ここで、従来の自己整合コンタクトプロセスで必要となるゲート電極層パターン上の絶縁膜は形成する必要がない。本工程は単にリソグラフィ用のマスクパターンデータにダミーゲート4Cのデータを追加するだけで実現でき、新しい工程の追加は不要である。

【0037】ゲート電極層のパターン形成後、CVD法によりシリコン窒化膜を基板の全面に堆積させ、続いて、異方性ドライエッチングにより側壁部分を残してシリコン窒化膜をエッチバックする。これによりゲート電極層パターンの側面にシリコン窒化膜から成る側壁6が形成される。続いて、イオン注入法によりソース・ドレイン領域となる拡散層5を形成し、シリコン酸化膜から成る層間絶縁膜8を堆積させてコンタクト穴7を開口する。コンタクト穴7を開口するエッチングにおいては、シリコン酸化膜のエッチング速度がシリコン窒化膜のエッチング速度より十分速い条件により行う。最後に、金

属配線を形成して、MIS型FETが完成する。

【0038】以上のように、本発明による半導体装置は、従来と比べて工程の追加なしで製造することが可能である。ここではソース・ドレイン領域を1回のイオン注入で形成するシングルドレイン構造を例にして説明したが、ゲート側壁6を形成する以前にもイオン注入を行って、2段階でソース・ドレインを形成する、いわゆるLDD構造としても良い。

【0039】なお、以上ではゲートの側壁6としてシリコン窒化膜、層間絶縁膜8としてシリコン酸化膜を想定したが、後者のエッチング速度が前者に比べ十分大きくできる材料の組み合わせであれば他の材質の組み合わせでも良い。また、ゲート電極4とゲート側壁6との間に必ずしもエッチング選択性を有さない薄い絶縁膜(シリコン酸化膜など)を、接着性向上、あるいは機械的応力緩和などの目的で挟むことは差し支えない。

【0040】

【発明の効果】本発明によれば、素子分離絶縁膜とゲート電極との間の位置ずれ量 $|\Delta 1|$ 、ゲート電極とコンタクト穴との間の位置ずれ量 $|\Delta 2|$ をそれぞれ独立に所要値以下に抑えれば良く、2回分の位置ずれの和 $|\Delta 1| + |\Delta 2|$ が問題となる従来構造に比べて拡散層の端部とコンタクト穴との間の位置合わせ余裕を削減することが可能となる。これにより集積度を高めること、MIS型FETの拡散層容量を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明により作製されたMIS型FETの一実施例の構成を示す図であり、(A)は位置合わせずれがない場合の上面図、(B)は位置合わせずれがない場合の断面図、(C)は位置合わせずれがある場合の断面図である。

【図2】比較例としての従来からの構造を示す図であり、(A)は位置合わせずれがない場合の上面図、(B)は位置合わせずれがない場合の断面図、(C)は位置合わせずれがある場合の断面図である。

【図3】自己整合コンタクト形成技術を説明するための図である。

【図4】自己整合コンタクト形成技術を説明するための図である。

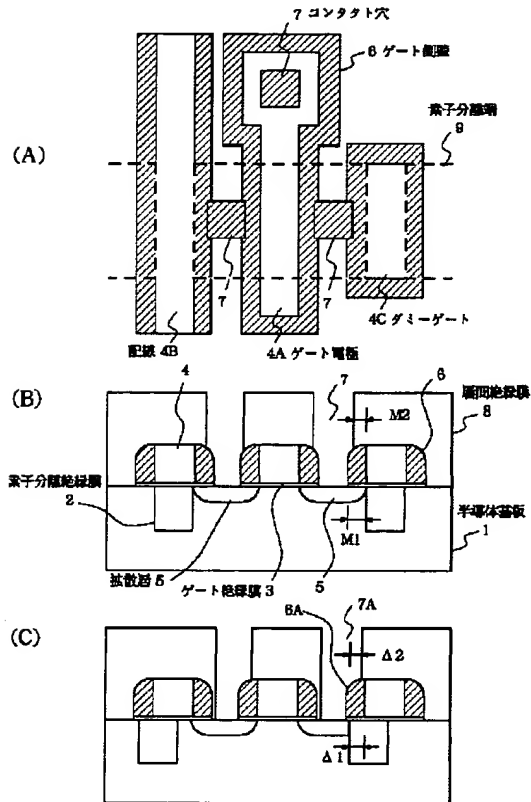
【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極層
- 4A ゲート電極
- 4B ゲート電極層による配線
- 4C ダミーゲート
- 5 拡散層
- 6 ゲート側壁(シリコン窒化膜)
- 6' ゲート側壁(シリコン酸化膜)

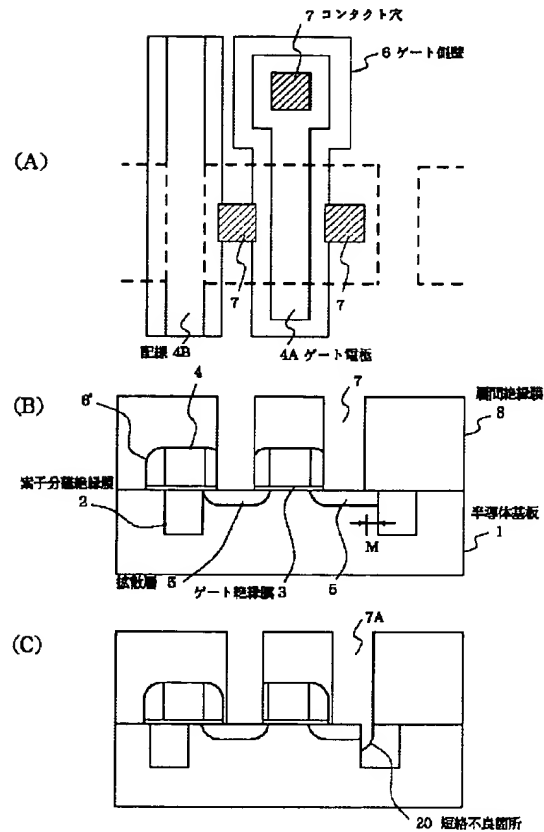
- 9  
7    コンタクト穴  
7A   素子分離と重なりのあるコンタクト穴  
8    層間絶縁膜  
9    素子分離端

- 10  
10   保護絶縁膜(シリコン窒化膜)  
10'   保護絶縁膜(シリコン酸化膜)  
11   素子分離絶縁膜  
20   短絡不良箇所

【図1】

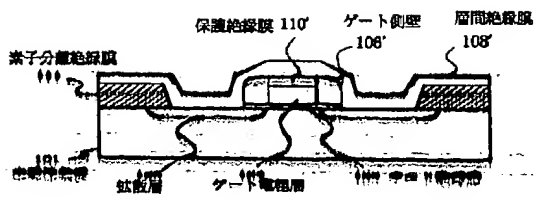


【図2】

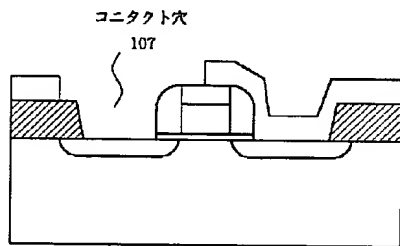




【図3】

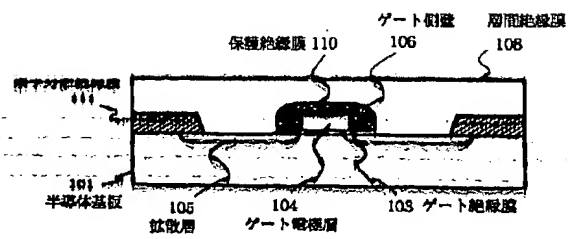


(A)

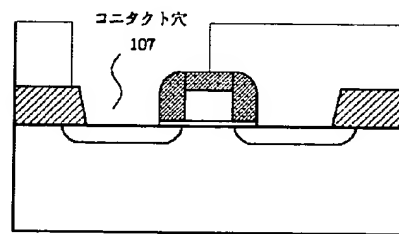


(B)

【図4】



(A)



(B)